

## 半導体装置およびその製造方法

## 発明の背景技術

## 5 発明の分野

本発明は、レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置およびその製造方法に関する。

## 関連技術の説明

10 まず、半導体装置における配線パターンの一般的な製造方法について説明する。

図6は、レジストパターンを形成するためのマスクパターンを示す平面図である。図7は、図6に示すマスクパターンによって得られたレジストパターンをマスクとして形成された配線パターンを示す平面図である。図8は、図7に示すA-Aに沿った断面図である。図9は、図7に示すB-B線に沿った断面図である。

15 図6に示すマスクパターンにおいて、第1～第3のラインパターン105～107は、配線を形成するためのパターンを示す。このようなマスクパターンは、一般的に用いられるCADシステムを用いて形成される。そして、マスクパターンを用いたリソグラフィーによってレジストパターンが形成される。このレジストパターンをマスクとして導電層をエッチングすることにより、配線が形成される。その後、レジストを公知の方法によって除去する。このようにして得られた配線パターンを図7に示す。

図7に示す例においては、第2配線115は第1配線117と平行に配置されている。さらに、第3配線116は、第1配線117と直交する方向に配置されている。そして、第2配線115の一端は、層間絶縁層120に形成されたコンタクト部130と接続されている。コンタクト部130は、ビアホール113内に埋め込まれた金属層から構成されている。また、第3配線116の一端は、ビアホール114内に埋め込まれたコンタクト部132と接続されている。なお、図7においては、図示した配線より下層の配線を図示しない。

25

このようなパターンの第1～第3配線を形成するためのマスクパターンは、図6に示すように、第2ラインパターン105はビアホールパターン103を覆うように引き延ばされ、第2ラインパターン105の端部がビアホールパターン103の端部とほぼ一致する状態で設計されていた。同様に、第3ラインパターン106は、ビアホールパターン104を覆うように引き延ばされ、第3ラインパターン106の端部がビアホールパターン104の端部とほぼ一致する状態で設計されていた。

ところで、レジストパターンをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線は、そのレジストパターンより太くなり、一方、レジストパターンが密の部分ではエッチングされた配線は、そのレジストパターンと同じか、あるいはより細くなるという特性がある。この状態を図8および図9に示す。図8では、パターンが粗の状態の配線を示している。この状態では、エッチング時に配線117の側面にテーパが形成されて、配線117の幅は、結果的にレジストの幅より大きくなる。図9では、配線が孤立していない状態を示している。この状態では、配線115と配線117とが対向する側面ではテーパが形成されない。

また、配線パターンの微細化にともなうレジストの後退により、図7に示すように、ビアホール113内のコンタクト部130と第2配線115とのオーバーラップ領域、ならびにビアホール114内のコンタクト部132と第3配線116とのオーバーラップ領域が不十分となることがある。その結果、配線115、116とコンタクト部130、132との接触抵抗の増加や配線信頼性の低下といった問題が生じることがある。

また、図7に示すように、第1配線117の一方側に配置されたビアホール113、114の相互間は、その近傍に配線パターンのない領域であるから、エッチング時に図8に示すように第1配線117の側面にテーパが形成され、配線117の底部が上部より太くなる。このため、第1配線117に、レジストパターンと異なる突出した領域117aが形成される。このような突出領域117aによって、配線117とコンタクト部130、132のそれぞれとの間隔L1、L2が所定の最小配線間隔より小さくなり、その結果コンタクト部と配線とがショートする不良が発生することがあ

る。

上述したように、従来の一般的な半導体装置では、パターンの微細化にともなうレジストの後退により接続ホール（ビアホールまたはコンタクトホール）と配線のオーバーラップ領域が不十分となり、配線と接続ホール内に埋め込まれたコンタクト部との接触抵抗の増加や配線信頼性の低下といった問題が生じる。また、配線パターンが疎の領域では、配線の幅はエッチング時に形成されるテーパによってレジストの幅より太くなる。このため、太くなった配線部分は、その近傍に配置された下層のコンタクト部とショートしてしまうことがある。

## 10 発明の要約

本発明の目的は、配線と接続ホール内に埋め込まれたコンタクト部との接触抵抗が高くならびに配線信頼性の高い半導体装置、およびその製造方法を提供することにある。

15 本発明は、レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して所定間隔より短い間隔で配置された第1配線と、

20 前記コンタクト部との接続領域を有する第2配線と、を含み、

前記第2配線は、前記コンタクト部との接続領域において、非配線領域に延びるエクステンション部を有し、

前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の少なくとも一部に配置される。

25 本発明にかかる半導体装置によれば、コンタクト部との接続領域においてエクステンション部を有するので、配線の接続領域において下層のコンタクト部をほぼ完全に

覆うことができる。したがって、接続ホール（コンタクトホールあるいはビアホール）内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

5 本発明にかかる半導体装置は、以下のような各種の態様をとることができる。これらの態様は、後述する各構成の半導体装置に適用できる。

（a） 前記所定間隔より短い間隔は、配線パターンにおける配線相互の最小間隔（以下、これを「最小配線間隔」という）である。この最小配線間隔は、半導体装置のデザインルールなどによって異なるが、たとえば $0.1\mu\text{m}$ 以上 $1\mu\text{m}$ 以下の値をとることができる。

10 （b） 前記接続領域は、その平面形状が前記コンタクト部とほぼ同一の径を有する正方形、あるいは前記コンタクト部より大きい径を有する正方形である。

（c） 前記エクステンション部は、その幅が前記配線の幅と同じであり、そして、その突出長さが前記配線の幅と同じであることが望ましい。また、前記エクステンション部は、その平面形状が正方形であることが望ましい。

15 さらに、本発明にかかる半導体装置は、以下の構成をとることができる。

（1） 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

20 前記コンタクト部との接続領域を有し、前記第1配線と平行に延びる第2配線と、を含み、

前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

25 前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の辺に配置される。

（2） 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

前記コンタクト部との接続領域を有し、前記第1配線と垂直方向に延びる第2配線と、を含み、

5 前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の辺に配置される。

10 (3) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

15 前記コンタクト部との接続領域を有し、前記第1配線と平行に延びる部分と前記第1配線と垂直方向に延びる部分とを有する第2配線と、を含み、

前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

20 前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の辺に配置される。

(4) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

25 前記コンタクト部との接続領域のみを有する第2配線と、を含み、

前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置される。

(5) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

5 前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された複数の第 1 配線と、

少なくとも前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

10 前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、複数の前記第 1 配線に面した辺以外の辺に配置される。

(6) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

15 前記コンタクト部との接続領域を有する配線と、を含み、

前記配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記配線は、前記接続領域において、非配線領域に延びるエクステンション部を有する。

20 この半導体装置において、前記配線はライン状をなし、前記接続領域の 3 辺においてエクステンション部を有することができる。また、前記配線は前記接続領域からなり、該接続領域の 4 辺においてエクステンション部を有することができる。

本発明にかかる製造方法は、

25 ラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンを設定し、該接続領域パターンの各辺にエクステンションパターンを配置し、さらに、該エクステンションパターンのうち、接続領域パターンの辺に対して所定間隔より短い間隔で隣り合うラインパターンに面するエクステンションパターンを消去することにより、マスクパターンを形成する第 1 工程、

前記マスクパターンを用いたリソグラフィーによって、導電層上にレジストパター

ンを形成する第2工程、および

前記レジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する第3工程、を含む。

本発明にかかる製造方法は、以下の態様をとることができる。

5 (a) 前記所定間隔より短い間隔は、ラインパターンにおけるライン相互の最小間隔である。

(b) 前記接続領域パターンは、前記接続ホールパターンと同一あるいはこれより大きい正方形である。

10 (c) 前記エクステンションパターンは、その幅が前記ラインパターンのライン幅と同じであり、また、その突出長さが前記ラインパターンのライン幅と同じであることが望ましい。また、前記エクステンションパターンは、正方形であることが望ましい。

#### 図面の簡単な説明

15

図1は、本発明の第1の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

図2は、図1に示すマスクパターンを設計する方法を説明するための平面図である。

20 図3は、図1に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

図4は、本発明の第2の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

図5は、図4に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

25 図6は、一般的な半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

図7は、図6に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

図 8 は、図 7 に示す A－A 線に沿った断面図である。

図 9 は、図 7 に示す B－B 線に沿った断面図である。

図 1 0 は、本発明の第 3 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

5 図 1 1 は、図 1 0 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

図 1 2 は、本発明の第 4 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

10 図 1 3 は、図 1 2 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

図 1 4 は、本発明の第 5 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

図 1 5 は、図 1 4 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

15

### 発明の好適な実施例の説明

以下、本発明が適用された代表的なパターン例について、図面を参照しながら説明する。

20 (第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 2 は、図 1 に示すマスクパターンの設計方法を説明するための平面図である。図 3 は、図 1 に示すマスクパターンを用いてパターニングされた配線パターンを示す平面図である。

25 [マスクパターン]

この実施の形態では、X 方向に延びるラインパターンと、このラインパターンに隣接する、コンタクト部を有する複数のラインパターンを配置した例を示す。

具体的には、図 1 に示すマスクパターンでは、第 1 ラインパターン 7、この第 1 ラ



インパターン7に隣接して配置された第2ラインパターン5および第3ラインパターン6が配列されている。第1および第2ラインパターン7, 5は、いずれもX方向に延び、第3ラインパターン6はY方向に延びる。そして、第2および第3ラインパターン5, 6は、第1ラインパターン7に対していずれも所定距離より短い間隔、具体的には最小配線間隔を隔てて配置されている。

第2および第3ラインパターン5, 6の端部には、それぞれ正方形の接続領域パターン5 a, 6 aが形成されている。接続領域パターン5 a, 6 aは、正方形のビアホールパターン3, 4と重なるパターン、あるいはビアホールパターン3, 4より一回り大きいパターンを有する。これらの接続領域パターン5 a, 6 aは、非配線領域であって、かつ、第1ラインパターン7に面する辺以外の辺に対してそれぞれエクステンションパターンを有する。

すなわち、第2ラインパターン5においては、接続領域パターン5 aの2辺において、X方向（右側）に延びるエクステンションパターン1 2が形成され、Y方向（下側）に延びるエクステンションパターン1 3が形成されている。また、第3ラインパターン6においては、接続領域パターン6 aの2辺において、X方向（右側）に延びるエクステンションパターン1 2が形成され、X方向（左側）に延びるエクステンションパターン1 4が形成されている。

エクステンションパターンは、リソグラフィーによるレジストパターンの形成時およびエッチング時に生じるマスキリニアリティの誤差を緩和することで、配線の接続領域を確保できればよく、その形状や大きさは特に限定されない。エクステンションパターンは、その幅がラインパターンのライン幅と同じであり、さらに、その突出長さがラインパターンのライン幅と同じであることが望ましい。すなわち、エクステンションパターンは、ラインパターンの幅と同じ長さの辺を有する正方形であることが望ましい。エクステンションパターンがこのような形状を有することで、パターンの設計が容易で、かつ、レジストパターンの後退の影響を受けても配線の接続領域を確実に形成できる。以上のエクステンションパターンの形状および大きさに関することは、他の実施の形態でも同様である。

[マスクパターンの設計方法]

次に、図 1 に示すマスクパターンの設計方法について述べる。

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

- 5      具体的には、たとえば図 1 に示すように、第 1、第 2 および第 3 ラインパターン 5, 6, 7 を配置する。また、これらのラインパターンと重なる接続ホールパターン 3, 4 を少なくとも覆う接続領域パターン 5 a, 6 a にエクステンションパターンを配置する。

- 10      エクステンションパターンは、図 2 に示すように、正方形の接続ホールパターン 1 0 に対応する正方形の接続領域パターン 1 0 a の場合、接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 が配置される。

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 のうち、接続領域パターン 5 a, 6 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

- 15      具体的には、図 1 に示すように、最小配線間隔をおいて配置された第 1 ラインパターン 7 と、第 2 および第 3 ラインパターン 5, 6 との間の領域（斜線で示す領域） 1 0 0 は、エクステンションパターンの配置が禁止される領域に設定される。したがって、接続領域パターン 5 a, 6 a のエクステンションパターン 1 1 ~ 1 4 のうち、禁止領域 1 0 0 でのエクステンションパターン 1 1 が消去される。なお、ラインパターン  
20      と重なるエクステンションパターンは、設計上、消去もしくは無視するように設定できる。

#### [半導体装置の製造方法]

- 25      上述した方法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。たとえば、基板あるいは層間絶縁層上にレジストを塗布し、マスクパターンを用いた描画用データに基づいてパターンを描き、現像およびレジストの剥離という一連のプロセスによってレジストパターンを形成することができる。

さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチ

ングすることにより配線パターンを形成する。

[半導体装置]

以上の製造方法によって得られた半導体装置の配線パターンの例を図3に示す。

図3に示す半導体装置においては、層間絶縁層120上に配線パターンが形成されている。配線パターンは、図1に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

層間絶縁層120には、ビアホール30、40内に埋め込まれた金属層からなるコンタクト部36、46が形成されている。ビアホールは、その径がある程度小さくなると、光近接効果によってビアホールパターンのコーナ一部が丸くなり、ほぼ円形の平面形状を有する。

図示の例では、コンタクト部36、46に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第1配線17が配置されている。この第1配線17に隣接して第2配線15および第3配線16が配置されている。第1および第2配線17、15は、いずれもX方向に延び、第3配線16はY方向に延びている。そして、第2および第3配線15、16は、第1配線17に対していずれも最小配線間隔を隔てて配置されている。

第2および第3配線15、16は、その端部に、ビアホール30、40内のコンタクト部36、46とそれぞれ重なる接続領域50a、60aを有する。これらの接続領域50a、60aは、非配線領域であって、かつ、第1配線17に面する辺以外の辺に対してそれぞれエクステンション部を有する。

すなわち、第2配線15においては、接続領域50aの2辺において、X方向（右側）に延びるエクステンション部12a、およびY方向（下側）に延びるエクステンション部13aが形成されている。また、第3配線16においては、接続領域60aの2辺において、X方向（右側）に延びるエクステンション部12a、およびX方向（左側）に延びるエクステンション部14aが形成されている。各エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも

も、接続領域 50a, 60a において、それぞれ配線は下層のコンタクト部 36, 46 をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

さらに、この実施の形態においては、図 1 に示すように、第 2 および第 3 ラインパターン 5, 6 は、X 方向に延びるエクステンションパターン 12, 14 を有することにより、これらを有さない場合に比べて第 1 ラインパターン 7 に対して相対的に密のパターンを形成することになる。その結果、図 3 に示す第 1 配線 17 では、エッチングによって形成される突出部 17a の幅を小さくできる。したがって、パターンの粗密によるマスクリニアリティの誤差を緩和でき、より精度の高い配線のパターンニングができる。そして、この例では、配線相互間および配線とコンタクト部とのショートを防止できる。

#### (第 2 の実施の形態)

図 4 は、本発明の第 2 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 5 は、図 4 に示すマスクパターンを用いてパターンニングされた配線パターンを示す平面図である。本実施の形態において、第 1 の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

#### [マスクパターン]

この実施の形態では、コンタクト部を有するラインパターンの形状が第 1 の実施の形態と異なる。すなわち、本実施の形態では、X 方向に延びるラインパターンと、このラインパターンに隣接する、コンタクト部を有するラインパターンおよびコンタクト部のみからなるラインパターンを配置した例を示す。

具体的には、図 4 に示すマスクパターンでは、第 1 ラインパターン 7, この第 1 ラインパターン 7 に隣接して配置された第 2 ラインパターン 21 および第 3 ラインパターン 22 が配列されている。第 1 ラインパターン 17 は X 方向に延び、第 2 ラインパターン 21 は Y 方向に延びる。第 3 ラインパターン 22 は、配線として延びるパターン部分を有さない。そして、第 2 および第 3 ラインパターン 21, 22 は、第 1 ラインパターン 7 に対していずれも所定距離より短い間隔、具体的には最小配線間隔を

隔てて配置されている。

第2および第3ラインパターン21, 22には、それぞれ正方形の接続領域パターン5a, 6aが形成されている。接続領域パターン5a, 6aは、正方形のビアホールパターン3, 4と重なるパターン、あるいはビアホールパターン3, 4より一回り  
5 大きいパターンを有する。これらの接続領域パターン5a, 6aは、非配線領域であって、かつ、第1ラインパターン7に面する辺以外の辺に対してそれぞれエクステンションパターンを有する。

すなわち、第2ラインパターン21においては、接続領域パターン5aの1辺において、X方向（右側）に延びるエクステンションパターン12が形成されている。また、第3ラインパターン22においては、接続領域パターン6aの3辺において、X  
10 方向（右側）に延びるエクステンションパターン12、Y方向（下側）に延びるエクステンションパターン13、およびX方向（左側）に延びるエクステンションパターン14が形成されている。

#### [マスクパターンの設計方法]

次に、図4に示すマスクパターンの設計方法について述べる。この設計方法は、第  
15 1の実施の形態で述べた設計方法と基本的に同じである。

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

具体的には、たとえば図4に示すように、第1、第2および第3ラインパターン7,  
20 21, 22を配置する。また、これらのラインパターンと重なる接続ホールパターン3, 4を少なくとも覆う接続領域パターン5a, 6aにエクステンションパターンを配置する。エクステンションパターンは、図2に示すように、正方形の接続領域パターンの各辺に第1ないし第4エクステンションパターン11～14が配置される。

(b) さらに、第1ないし第4エクステンションパターン11～14のうち、接続  
25 領域パターン5a, 6aの辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

具体的には、図4に示すように、最小配線間隔において配置された第1ラインパタ

ーン7と、第2および第3ラインパターン21、22との間の領域100は、エクステンションパターンの配置が禁止される領域に設定される。したがって、接続領域パターン5a、6aのエクステンションパターン11～14のうち、禁止領域100でのエクステンションパターン11が消去される。なお、ラインパターンと重なるエク  
5 ステンションパターンは、設計上、消去もしくは無視するように設定できる。

#### [半導体装置の製造方法]

半導体装置の製造方法は、第1の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスク  
10 として導電層をエッチングすることにより配線パターンを形成する。

#### [半導体装置]

以上の製造方法によって得られた半導体装置の配線パターンの例を図5に示す。

図5に示す半導体装置においては、層間絶縁層120上に配線パターンが形成されている。配線パターンは、図4に示したマスクパターンのラインパターンに対応した  
15 配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

ビアホール30、40およびコンタクト部36、46は、第1の実施の形態と同様である。

図示の例では、コンタクト部36、46に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第1配線17が配置されている。この第1配線17に隣接して第2配線31および第3配線32が配置されている。第1配線17はX方向に延び、第2配線31はX方向およびY方向に延びている。第3配線32は、上下のコンタクト部を接続するためのみのコンタクト領域を構成している。そして、第2および第3配線31、32は、第1配線17に対していずれも最小配線間隔を隔てて配置されて  
20 いる。  
25

第2および第3配線31、32は、ビアホール30、40内のコンタクト部36、46とそれぞれ重なる接続領域50a、60aを有する。これらの接続領域50a、60aは、非配線領域であって、かつ、第1配線17に面する辺以外の辺に対してそ

れぞれエクステンション部を有する。

すなわち、第2配線31においては、接続領域50aの1辺において、X方向（右側）に延びるエクステンション部12aが形成されている。また、第3配線32においては、接続領域60aの3辺において、X方向（右側）に延びるエクステンション部12a、Y方向（下側）に延びるエクステンション部13a、およびX方向（左側）に延びるエクステンション部14aが形成されている。各エクステンション部は、パターン

5 部12a、Y方向（下側）に延びるエクステンション部13a、およびX方向（左側）に延びるエクステンション部14aが形成されている。各エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域50a、60aにおいて、それぞれ配線は下層のコンタクト部36、46をほぼ

10 完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

さらに、この実施の形態においては、図4に示すように、第2および第3ラインパターン21、22は、X方向に延びるエクステンションパターン12、12を有することにより、これらを有さない場合に比べて第1ラインパターン7に対して相対的に

15 密のパターンを形成することになる。その結果、図5に示す第1配線17では、エッチングによって形成される突出部17aの幅を小さくできる。したがって、パターンの粗密によるマスクリニアリティの誤差を緩和でき、より精度の高い配線のパターニングができる。そして、この例では、配線相互間および配線とコンタクト部とのショートを防止できる。

## 20 （第3の実施の形態）

図10は、本発明の第3の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図11は、図10に示すマスクパターンを用いてパターニングされた配線パターンを示す平面図である。本実施の形態において、第1の実施の形態と実質的に同じ機能を有する部分には同じ符号を付

25 して説明する。

### 〔マスクパターン〕

この実施の形態では、コンタクト部を有するラインパターンの形状と配置が第1の実施の形態と異なる。すなわち、本実施の形態では、X方向に延びるラインパターン

と、このラインパターンに隣接する、コンタクト部を有する複数のラインパターンを配置した例を示す。

具体的には、図10に示すマスクパターンでは、第1ラインパターン7、この第1ラインパターン7に隣接して配置された第2ラインパターン41および第3ラインパターン42が配列されている。第1ラインパターン17はX方向に延び、第2ラインパターン41はX方向およびY方向に延び、第3ラインパターン42は、Y方向に延びる。そして、第2および第3ラインパターン41、42は、第1ラインパターン7に対していずれも所定距離より短い間隔、具体的には最小配線間隔を隔てて配置されている。さらに、第2ラインパターン41と第3ラインパターン42とは、最小配線間隔を隔てて配置されている。

第2および第3ラインパターン41、42には、それぞれ正方形の接続領域パターン5a、6aが形成されている。接続領域パターン5a、6aは、正方形のビアホールパターン3、4と重なるパターン、あるいはビアホールパターン3、4より一回り大きいパターンを有する。接続領域パターン6aは、非配線領域であって、かつ、第1ラインパターン7に面する辺および第2ラインパターン41に面する辺以外の辺に対してエクステンションパターンを有する。これに対し、接続領域パターン5aは、非配線領域が禁止領域100であるため、エクステンションパターンを有さない。禁止領域100については後述する。

すなわち、第2ラインパターン41においては、接続領域パターン5aのいずれの辺においても、エクステンションパターンが形成されていない。また、第3ラインパターン42においては、接続領域パターン6aの1辺において、X方向（右側）に延びるエクステンションパターン12が形成されている。

#### [マスクパターンの設計方法]

次に、図10に示すマスクパターンの設計方法について述べる。この設計方法は、第1の実施の形態で述べた設計方法と基本的に同じである。

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。



具体的には、たとえば図10に示すように、第1、第2および第3ラインパターン7、41、42を配置する。また、これらのラインパターンと重なる接続ホールパターン3、4を少なくとも覆う接続領域パターン5a、6aにエクステンションパターンを配置する。エクステンションパターンは、図2に示すように、正方形の接続領域

5 パターンの各辺に第1ないし第4エクステンションパターン11～14が配置される。

(b) さらに、第1ないし第4エクステンションパターン11～14のうち、接続領域パターン5a、6aの辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

10 具体的には、図10に示すように、最小配線間隔をおいて配置された第1ラインパターン7と、第2および第3ラインパターン41、42との間の領域、および第2ラインパターン41と第3ラインパターン42との間の領域（斜線で示す領域）100は、エクステンションパターンの配置が禁止される領域に設定される。したがって、

15 接続領域パターン5a、6aのエクステンションパターン11～14のうち、禁止領域100でのエクステンションパターン11、14が消去される。なお、ラインパターンと重なるエクステンションパターンは、設計上、消去もしくは無視するように設定できる。

#### [半導体装置の製造方法]

半導体装置の製造方法は、第1の実施の形態と同様である。すなわち、上述した方

20 法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

#### [半導体装置]

以上の製造方法によって得られた半導体装置の配線パターンの例を図11に示す。

25 図11に示す半導体装置においては、層間絶縁層120上に配線パターンが形成されている。配線パターンは、図10に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

ビアホール 30、40 およびコンタクト部 36、46 は、第 1 の実施の形態と同様である。

図示の例では、コンタクト部 36、46 に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第 1 配線 17 が配置されている。この第 1 配線 17 に隣接して第 2 配線 51 および第 3 配線 52 が配置されている。第 1 配線 17 は X 方向に延び、第 2 配線 51 は X 方向および Y 方向に延び、第 3 配線 52 は Y 方向に延びている。そして、第 2 および第 3 配線 51、52 は、第 1 配線 17 に対していずれも最小配線間隔を隔てて配置されている。さらに、第 2 配線 51 と第 3 配線 52 とは、最小配線間隔を隔てて配置されている。

第 2 および第 3 配線 51、52 は、ビアホール 30、40 内のコンタクト部 36、46 とそれぞれ重なる接続領域 50a、60a を有する。接続領域 60a は、非配線領域であって、かつ、禁止領域 100（図 10 参照）以外の辺に対してエクステンション部を有する。

すなわち、第 2 配線 51 においては、接続領域 50a のいずれの辺においてもエクステンション部が形成されていない。また、第 3 配線 52 においては、接続領域 60a の 1 辺において、X 方向（右側）に延びるエクステンション部 12a が形成されている。エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域 60a において、配線は下層のコンタクト部 46 をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

なお、この実施の形態においては、図 10 に示すように、第 2 および第 3 ラインパターン 41、42 は、X 方向に対して最小配線幅で配置されているので、第 1 配線 17 にエッチングに起因する突出部がほとんど形成されない。

#### （第 4 の実施の形態）

図 12 は、本発明の第 4 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 13 は、図 12 に示すマスクパターンを用いてパターンニングされた配線パターンを示す平面図である。本実施の

形態において、第 1 の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

#### [マスクパターン]

この実施の形態では、コンタクト部を有する孤立ラインパターンを示す。具体的には、図 1 2 に示すマスクパターンでは、ラインパターン 6 0 の端部に正方形の接続領域パターン 5 a が形成されている。接続領域パターン 5 a は、正方形のビアホールパターン 3 と重なるパターン、あるいはビアホールパターン 3 より一回り大きいパターンを有する。接続領域パターン 5 a は、その 3 辺に対してエクステンションパターン 1 1, 1 2, 1 4 を有する。

#### [マスクパターンの設計方法]

次に、図 1 2 に示すマスクパターンの設計方法について述べる。この設計方法は、第 1 の実施の形態で述べた設計方法と基本的に同じである。

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

具体的には、たとえば図 1 2 に示すように、ラインパターン 6 0 を配置する。また、このラインパターンと重なる接続ホールパターン 3 を少なくとも覆う接続領域パターン 5 a にエクステンションパターンを配置する。エクステンションパターンは、図 2 に示すように、正方形の接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 が配置される。

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 のうち、接続領域パターン 5 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。この実施の形態の場合には、ラインパターン 6 0 が孤立しているため、接続領域パターン 5 a の周囲に禁止領域がなく、したがってラインパターンと重なるエクステンションパターン以外のエクステンションパターン 1 1, 1 2, 1 3 が配置される。

#### [半導体装置の製造方法]

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方

法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

#### [半導体装置]

5 以上の製造方法によって得られた半導体装置の配線パターンの例を図13に示す。

図13に示す半導体装置においては、層間絶縁層120上に配線パターンが形成されている。配線パターンは、図12に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。

図示の例では、配線61の端部に正方形の接続領域50aが形成されている。接続領域50aは、その3辺に対してエクステンション部11a, 12a, 14aを有する。

エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域50aにおいて、配線は下層のコンタクト部36をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

#### (第5の実施の形態)

図14は、本発明の第5の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図15は、図14に示すマスクパターンを用いてパターニングされた配線パターンを示す平面図である。本実施の形態において、第1の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

#### [マスクパターン]

この実施の形態では、コンタクト部のみを構成する孤立ラインパターンを示す。具体的には、図14に示すマスクパターンでは、ラインパターン70は正方形の接続領域パターン5aから構成されている。接続領域パターン5aは、正方形のビアホールパターン3と重なるパターン、あるいはビアホールパターン3より一回り大きいパターンを有する。接続領域パターン5aは、その4辺に対してエクステンションパターン11, 12, 13, 14を有する。

### [マスクパターンの設計方法]

次に、図 1 4 に示すマスクパターンの設計方法について述べる。この設計方法は、第 1 の実施の形態で述べた設計方法と基本的に同じである。

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、  
5 少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

具体的には、たとえば図 1 4 に示すように、ラインパターン 7 0 を配置する。また、このラインパターンと重なる接続ホールパターン 3 を少なくとも覆う接続領域パターン 5 a にエクステンションパターンを配置する。エクステンションパターンは、図  
10 2 に示すように、正方形の接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 が配置される。

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 のうち、接続領域パターン 5 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。この実施の形態の場合には、ラインパターン 7 0 が孤立しているため、接続領域パターン 5 a の周囲に禁止領域がなく、したがって接続領域パターン 5 a の 4 辺にエクステンションパターン 1 1 ~ 1 4 が配置される。  
15

### [半導体装置の製造方法]

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。  
20

### [半導体装置]

以上の製造方法によって得られた半導体装置の配線パターンの例を図 1 4 に示す。

図 1 4 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 1 4 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。図示の例では、配線 7 1 は正方形の接続領域 5 0 a からなり、接続領域 5 0 a は、そ  
25

エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、配線71は、接続領域50aにおいて、下層のコンタクト部36をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

以上、本発明にかかる半導体装置の代表例について述べたが、本発明はこれらに限定されず、発明の要旨の範囲内で各種の態様を取りうる。

## クレーム

1. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

5 層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して所定間隔より短い間隔で配置された第1配線と、

前記コンタクト部との接続領域を有する第2配線と、を含み、

前記第2配線は、前記コンタクト部との接続領域において、非配線領域に延びるエ

10 クステンション部を有し、

前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の少なくとも一部に配置された、半導体装置。

2. 請求項1において、

前記所定間隔より短い間隔は、配線パターンにおける配線相互の最小間隔である、  
15 半導体装置。

3. 請求項1において、

前記接続領域は、その平面形状が前記コンタクト部とほぼ同一の径を有する正方形あるいは前記コンタクト部より大きい径を有する正方形である、半導体装置。

4. 請求項1において、

20 前記エクステンション部は、その幅が前記配線の幅と同じである、半導体装置。

5. 請求項1において、

前記エクステンション部は、その突出長さが前記配線の幅と同じである、半導体装置。

6. 請求項1において、

25 前記エクステンション部は、その平面形状が正方形である、半導体装置。

7. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

前記コンタクト部との接続領域を有し、前記第1配線と平行に延びる第2配線と、  
を含み、

5 前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の辺に配置された、半導体装置。

10 8. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

15 前記コンタクト部との接続領域を有し、前記第1配線と垂直方向に延びる第2配線と、を含み、

前記第2配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第2配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

20 前記エクステンション部は、前記接続領域において、前記第1配線に面した辺以外の辺に配置された、半導体装置。

9. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

25 前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第1配線と、

前記コンタクト部との接続領域を有し、前記第1配線と平行に延びる部分と前記第1配線と垂直方向に延びる部分とを有する第2配線と、を含み、



前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外

5 の辺に配置された、半導体装置。

10 10. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置され

10 た第 1 配線と、

前記コンタクト部との接続領域のみを有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

15 前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

11. レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

20 前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された複数の第 1 配線と、

少なくとも前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部

25 を有し、かつ、

前記エクステンション部は、前記接続領域において、複数の前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

12. レジストパターンをマスクとして導電層をエッチングすることにより形成され

た配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記コンタクト部との接続領域を有する配線と、を含み、

前記配線の前記接続領域は、ほぼ正方形の平面形状を有し、

- 5 前記配線は、前記接続領域において、非配線領域に延びるエクステンション部を有する、半導体装置。

1 3. 請求項 1 2 において、

前記配線はライン状をなし、前記接続領域の 3 辺においてエクステンション部を有する、半導体装置。

- 10 1 4. 請求項 1 2 において、

前記配線は前記接続領域からなり、該接続領域の 4 辺においてエクステンション部を有する、半導体装置。

1 5. ラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンを設定し、該接続領域パターンの各辺にエクステンションパターン

- 15 を配置し、さらに、該エクステンションパターンのうち、接続領域パターンの辺に対して所定間隔より短い間隔で隣り合うラインパターンに面するエクステンションパターンを消去することにより、マスクパターンを形成する第 1 工程、

前記マスクパターンを用いたリソグラフィーによって、導電層上にレジストパターンを形成する第 2 工程、および

- 20 前記レジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する第 3 工程、を含む半導体装置の製造方法。

1 6. 請求項 1 5 において、

前記所定間隔より短い間隔は、ラインパターンにおけるライン相互の最小間隔である、半導体装置の製造方法。

- 25 1 7. 請求項 1 5 において、

前記接続領域パターンは、前記接続ホールパターンと同一あるいはこれより大きい正方形である、半導体装置の製造方法。

1 8. 請求項 1 5 において、

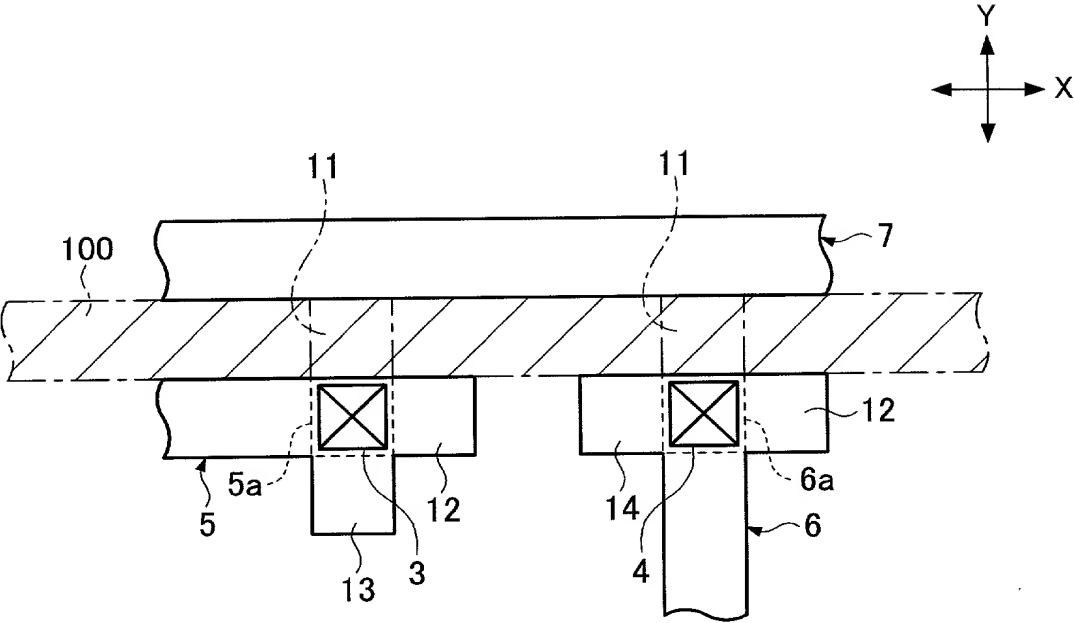
19. 請求項15において、

5

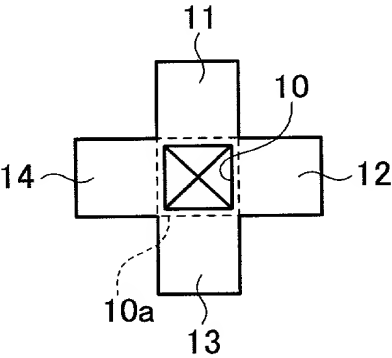
20. 請求項15において、

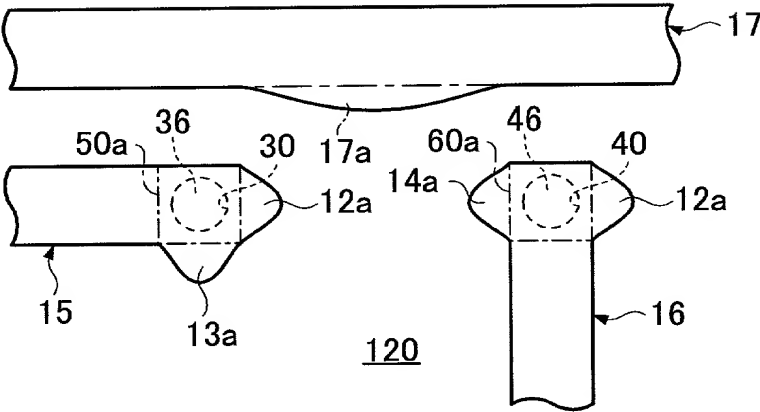
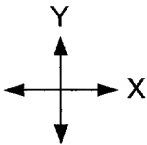
前記エクステンションパターンは、正方形である、半導体装置の製造方法。



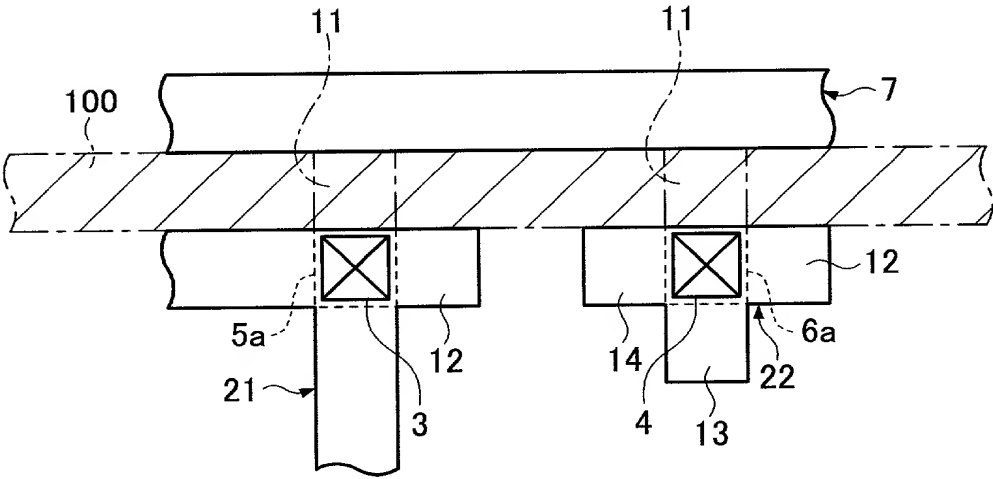
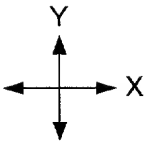


【図2】

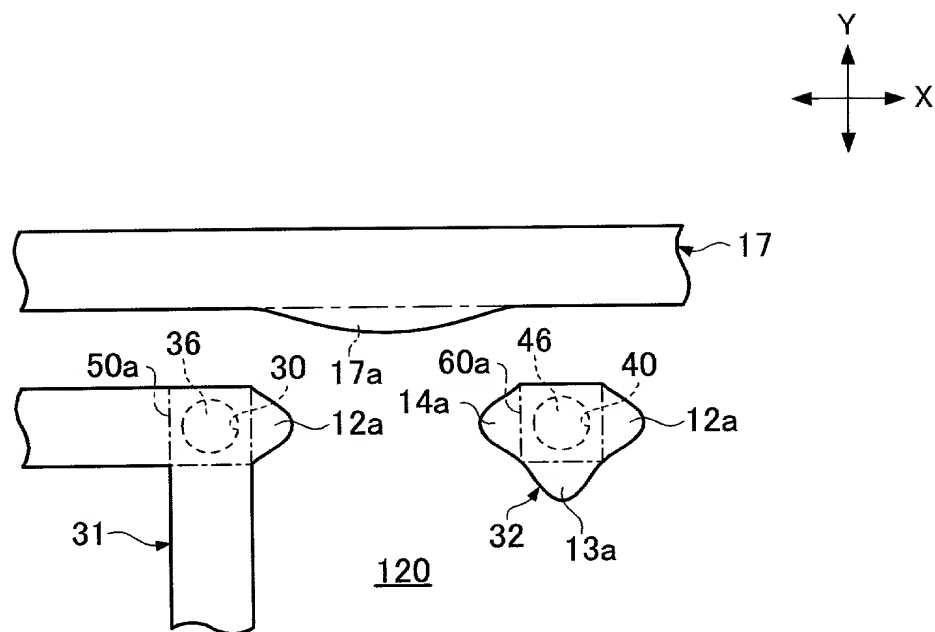




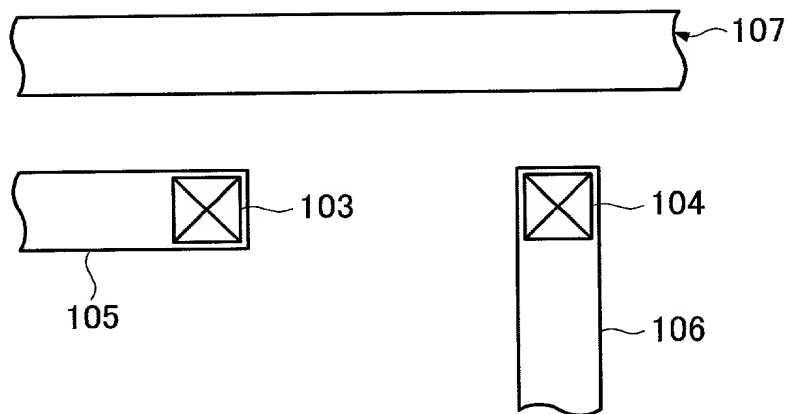
【図4】

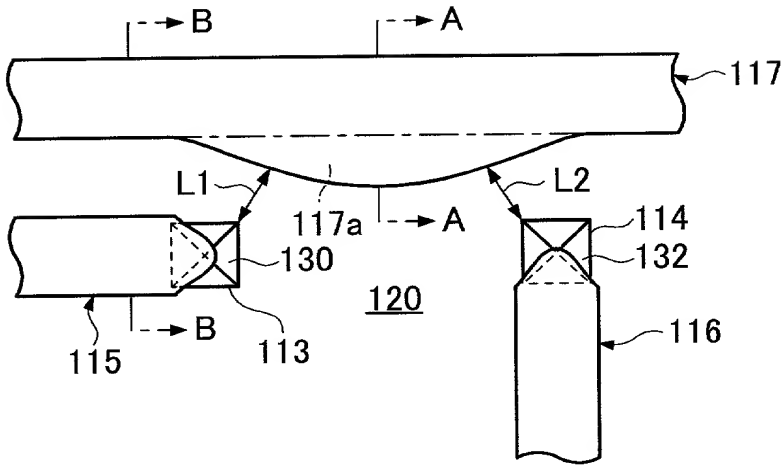


【図5】

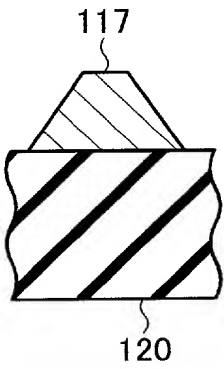


【図6】

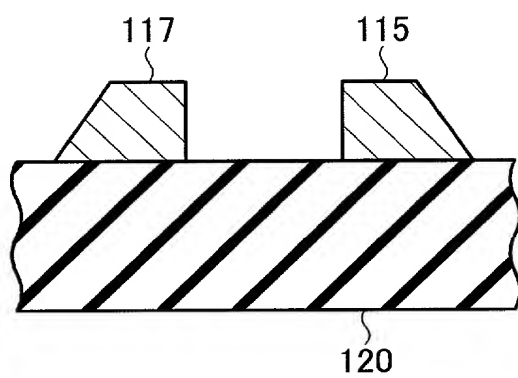


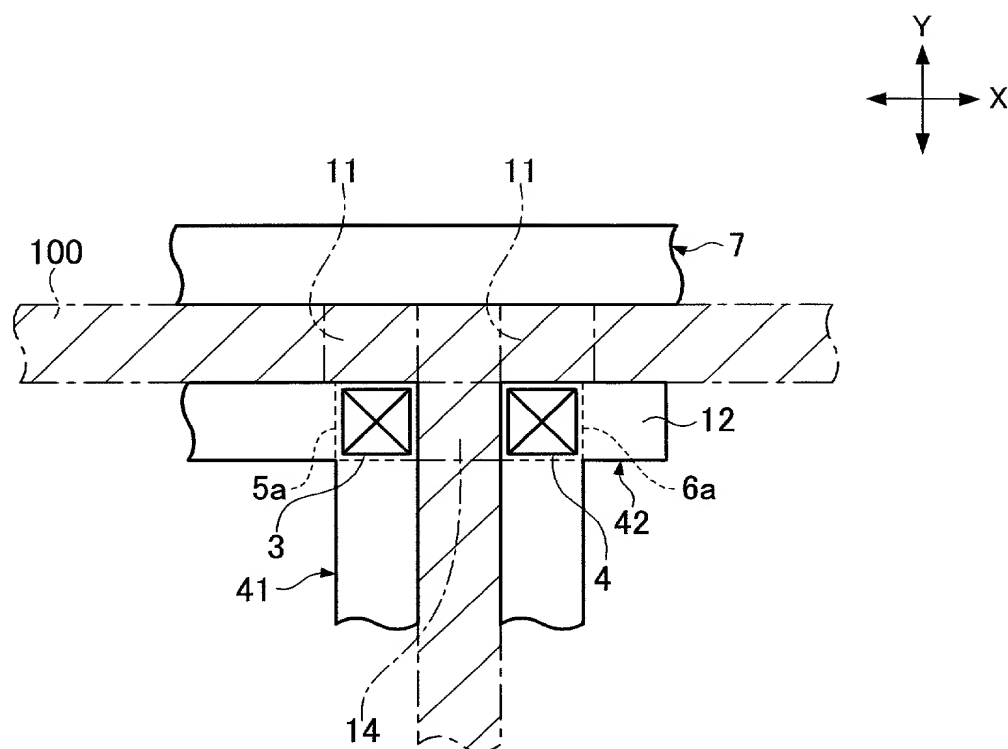


【図8】

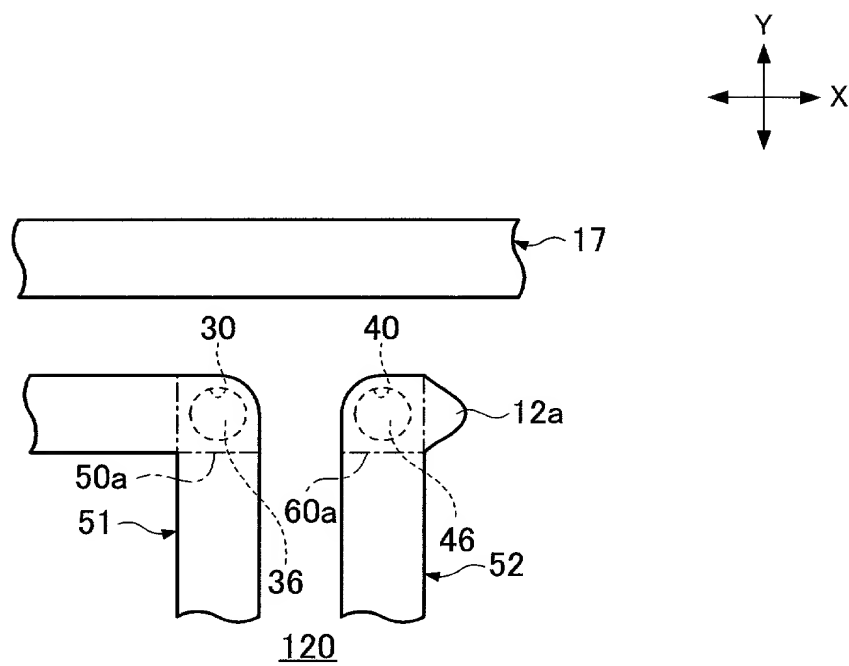


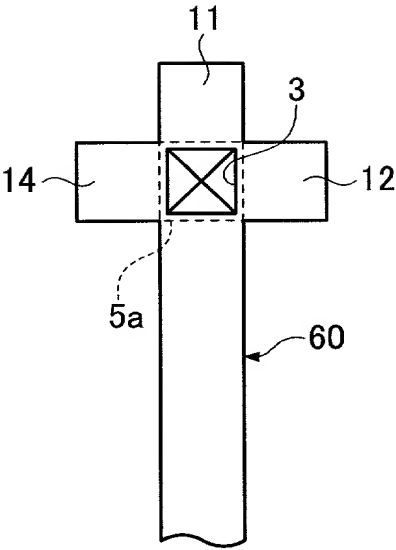




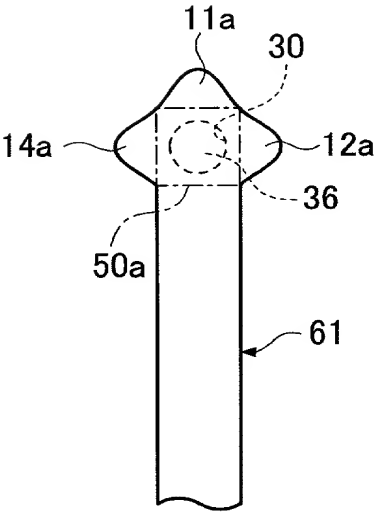


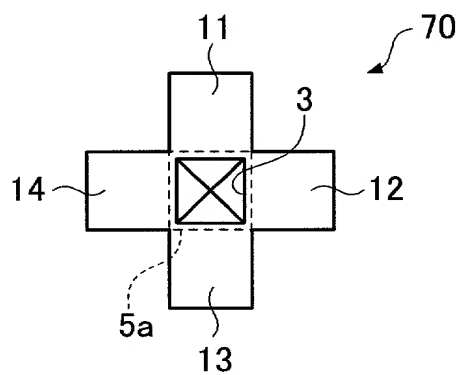
【图 1-1】





【図13】





【図15】

